

CLIPPEDIMAGE= JP403241747A
PAT-NO: JP403241747A
DOCUMENT-IDENTIFIER: JP 03241747 A
TITLE: MANUFACTURE OF SEMICONDUCTOR DEVICE

PUBN-DATE: October 28, 1991

INVENTOR-INFORMATION:

NAME
YAO, TAKEYUKI

ASSIGNEE-INFORMATION:

NAME	COUNTRY
NISSAN MOTOR CO LTD	N/A

APPL-NO: JP02037504

APPL-DATE: February 20, 1990

INT-CL (IPC): H01L021/336; H01L029/784
US-CL-CURRENT: 438/FOR.169, 438/158 , 438/302

ABSTRACT:

PURPOSE: To miniaturize the title device and to diminish ON-resistance by making the angle of incidence of a beam to a substrate smaller than the angle of incidence of a beam to the substrate in the implantation of impurities for forming a high-concentration region for making contact with a well region.

CONSTITUTION: When the angle between a line connecting the upper end of a right side gate edge and the lower end of a left side gate edge and a substrate 19 surface is θ_1 and the angle between a line connecting the upper end of the right side gate edge and the center of a diffusion window surface and the substrate 19 surface is θ_2 , the angle θ_2 between an ion beam and the substrate 19 surface is smaller than θ_1 . Therefore, little impurities are implanted into the diffusion window. Also, when the angle θ_2 between the ion beam and the substrate 19 surface is larger than θ_1 and smaller than θ_2 , the ions are implanted only into the left side of the diffusion window. Thus, it is possible to obtain a small-sized vertical MOS transistor with little ON-resistance.

COPYRIGHT: (C)1991, JPO&Japio

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A) 平3-241747

⑬ Int. Cl.⁵

識別記号

庁内整理番号

⑭ 公開 平成3年(1991)10月28日

H 01 L 21/336
29/784

7210-5F H 01 L 29/78 3 2 1 P

審査請求 未請求 請求項の数 2 (全8頁)

⑮ 発明の名称 半導体装置の製造方法

⑯ 特 願 平2-37504

⑰ 出 願 平2(1990)2月20日

⑱ 発 明 者 八 尾 健 之 神奈川県横浜市神奈川区宝町2番地 日産自動車株式会社
内

⑲ 出 願 人 日産自動車株式会社 神奈川県横浜市神奈川区宝町2番地

⑳ 代 理 人 弁理士 三好 秀和 外1名

明 細 書

1. 発明の名称

半導体装置の製造方法

2. 特許請求の範囲

(1) ドレインとしての第1の導電形の基板領域の主面に、ゲート電極を形成するゲート電極形成工程と、前記第1の導電形とは逆導電形である第2の導電形の不純物を導入しウェル領域を形成するウェル領域形成工程と、前記ウェル領域の端部にチャンネル領域が現れるように第1の導電形の不純物を導入し、ソース領域を形成するソース領域形成工程と、前記ウェル領域の表面に第2の導電形の不純物を導入し、高濃度のウェルコンタクト領域を形成するウェルコンタクト領域形成工程と、を含む縦型MOSトランジスタの製造方法において、前記ソース領域形成工程が、不純物イオンビームの基板に対する入射角度が、ウェルコンタクト領域形成工程における不純物イオンビームの基板に対する入射角度よりも小さくなるようにイオ

ン注入を行なう不純物導入工程であることを特徴とする半導体装置の製造方法。

(2) 前記ソース領域形成工程の、不純物イオンビームの基板に対する入射角度を、ゲートエッジの上端と拡散窓表面上の中心とを結ぶ線と基板表面とのなす角度よりも小さくなるようにしたことを特徴とする請求項(1)に記載の半導体装置の製造方法。

3. 発明の詳細な説明

[発明の目的]

(産業上の利用分野)

本発明は、半導体装置の製造方法に係り、特に縦型MOSトランジスタの微細化に関する。

(従来の技術)

従来の縦型MOSトランジスタとしては、例えば第4図に示すように、ドレインとなる高不純物濃度のn型シリコン基板1上に形成されたn型エピタキシャル層2と、該n型エピタキシャル層2の表面にゲート絶縁膜3を介して形成されたゲート電極4と、このゲート電極4の外側に相当する

領域のn型エピタキシャル層2内に形成されたpウェル7と、このpウェル7内に形成されたソースとなるn+領域12および該pウェル7にコンタクトをとるためのp+領域13とから構成されたものがある。

ここで、5はゲート電極4の表面を覆う酸化シリコン膜、14は層間絶縁膜、16はソース電極配線層である。

ところで、このような縦型MOSトランジスタは、通常次のようにして形成される。

まず、第5図(a)に示すように、高不純物濃度のn型シリコン基板1上に低不純物濃度のエピタキシャル層2を形成する。

次いで、第5図(b)に示すように、ゲート酸化膜3としての酸化シリコン膜を形成したのち、CVD法により多結晶シリコン膜4を形成する。

そして、第5図(c)に示すように、フォトリソグラフィー技術を用いて、前記酸化シリコン膜3および多結晶シリコン膜をパターンニングし、ゲート電極パターンを形成すると共に不純物拡散用の

窓6を形成した後、表面に酸化シリコン膜5を形成する。

この後、第5図(d)に示すように、全面にボロンをイオン注入して熱処理を行い、窓6を介して基板内にボロンを拡散し、pウェル7を形成する。

そして、第5図(e)に示すように、フォトリソグラフィー技術を用いて、第1のレジストパターン9を形成し、窓6の周辺部のみリンイオン8をイオン注入する。

そしてさらに、第5図(f)に示すように、第1のレジストパターン9を除去した後、前記窓6の中央部に当る領域に窓を有する第2のレジストパターン10を形成し、この窓6の中央部に当る領域にのみボロンイオン11をイオン注入する。

そして、第5図(g)に示すように、層間絶縁膜としてのPSG膜14を形成する。

この後、第5図(h)に示すように、熱処理を行いリンイオン8およびボロンイオン11を拡散し、ソースとしてのn+領域12およびpウェルコンタクトとしてのp+領域13を形成する。

- 3 -

こののち、第5図(i)に示すように、フォトリソグラフィー技術を用いて、ソース電極のコンタクト用窓15を形成する。

そして最後に、第5図(j)に示すように、アルミニウム-シリコン層からなるソース電極配線16を形成する。

このようにして形成される従来の縦型MOSトランジスタにおいては、ソースとしてのn+領域12、pウェルコンタクトとしてのp+領域13およびソース電極のコンタクト用窓15のパターンは全て、ゲート電極4のパターンに対して位置合わせを行い形成する。

ところで、このような縦型MOSトランジスタにおいても微細化への要求は強くなる一方であり、特に、オン抵抗を小さくするためにも微細化が必要であるとされている。

しかしながら、従来の縦型MOSトランジスタにおいては、ソースとしてのn+領域12、pウェルコンタクトとしてのp+領域13およびソース電極のコンタクト用窓15などのパターン位置

- 4 -

合わせずれを許容するだけのパターンの余裕をとっておく必要があり、この余裕をとらねばならないことが微細化を阻む大きな原因となっていた。

(発明が解決しようとする課題)

このように、従来の縦型MOSトランジスタにおいては、パターン位置合わせの余裕をとる必要性があること等から微細化が困難であるという問題があった。

本発明は、前記実情に鑑みてなされたもので、小形でオン抵抗の小さい縦型MOSトランジスタを提供することを目的とする。

(発明の構成)

(課題を解決するための手段)

そこで本発明では、縦型MOSトランジスタの製造工程において、ソース領域形成用の不純物注入におけるビームの基板に対する入射角度を、ウェル領域にコンタクトをとるための高濃度領域形成用の不純物注入におけるビームの基板に対する入射角度よりも小さくするようにしている。

(作用)

- 5 -

- 6 -

上記構成により、不純物注入におけるビームの基板に対する入射角度を調整することにより、不純物注入領域を制御することができるため、ゲート電極をマスクとして、自己整合的にソース領域形成用の不純物注入およびウェル領域にコンタクトをとるための高濃度領域形成用の不純物注入を行なうことが可能となり、パターン位置合わせの余裕をとる必要がなくなり、小形でオン抵抗の小さい縦型MOSトランジスタを得ることが可能となる。

(実施例)

以下、本発明の第1の実施例について、図面を参照しつつ詳細に説明する。

まず、第1図(a)に示すように、低抵抗のn型シリコン基板19上に濃度約 10^{15}cm^{-3} 程度の低不純物濃度のエピタキシャル層18を形成する。

次いで、第1図(b)に示すように、ゲート酸化膜20として、膜厚200~500Åの酸化シリコン膜を形成する。

この後、第1図(c)に示すように、CVD法に

より、膜厚3000~6000Å、濃度 10^{18}cm^{-3} 程度の高不純物濃度の多結晶シリコン膜21を形成する。

そして、第1図(d)に示すように、通常のフォトリソ法により、多結晶シリコン膜21をパターニングして、ゲート電極23を形成し、この後、熱酸化を行ない、ゲート電極23の表面と拡散窓の窓37の底部とに熱酸化膜22を形成する。

続いて、第1図(e)に示すように、 10^{18}cm^{-2} 程度のボロンをイオン注入して熱処理を行い、この窓37を介して基板内にボロンを拡散し、pウェル24を形成する。

次に、第1図(f)に示すように、pウェル24を形成したのと同じ拡散窓37よりさらに高濃度のボロンイオンを注入する。このとき、ボロンイオン25を注入するイオン注入のイオンビーム25の基板に対する入射角度はほぼ90度に近い角度にしておくことにより、拡散窓のほぼ全面にボロンイオン26が注入される。

続いて、リンあるいはヒ素等のn型不純物を注

- 7 -

入し、ソース領域を形成するわけであるが、このとき、第1図(g)に示すように、基板を傾けて斜めイオン注入法(Y. Okumura, T. KunikiyaらSSDM(1989)P477~479)により、イオン注入を行なう。イオンビーム27を半導体基板に対して、斜めにイオン注入することにより、ゲート電極の陰となり、イオン29がほとんど注入されない拡散窓の領域ができる。

そしてさらに第1図(h)に示すように、イオンビーム27の基板に対する入射角度を変えてイオン注入をおこない、ゲート電極に自己整合的にソース領域を形成する。

この斜めイオン注入法を第2図を参照しつつ説明する。

ここで、イオンビームの基板に対する入射角度を θ としたとき、この θ を90度から小さくしていくとゲート電極の陰になりイオンがほとんど注入されない拡散窓の領域が増大していく。第2図に示すように右側のゲートエッジの上端と左側の

- 8 -

ゲートエッジの下端とを結ぶ線と基板表面とのなす角度を θ_1 とし、右側のゲートエッジの上端と拡散窓表面上の中心とを結ぶ線と基板表面とのなす角度を θ_2 としたとき、イオンビームと基板表面のなす角度 θ が θ_1 よりも小さくなると、拡散窓にはほとんど不純物が注入されなくなる。また、イオンビームと基板表面のなす角度 θ が θ_1 よりも大きく、 θ_2 よりも小さいときには、拡散窓の左側にだけイオンが注入されるようになる。このように、イオンビームの基板に対する入射角度 θ を $\theta_1 < \theta < \theta_2$ の範囲で用いた場合、第1図(g)および第1図(h)に示すように基板の回転によりイオンビームの方向を変えても、拡散窓の中央付近にイオンのほとんど注入されない領域をゲート電極のパターンに対して自己整合的に形成することができる。

このような条件で不純物イオンを注入した後熱処理を行なうことにより、第1図(i)に示すように、ゲート拡散窓の周辺部分にn型の不純物を高濃度に注入したソース領域30が形成され、拡散

- 9 -

- 10 -

窓の中央付近には、第1図(f)の工程で導入されたp型の不純物であるボロンイオン26が拡散し高濃度に導入されたウェルコンタクト領域31をゲート電極に対して自己整合的に形成することができる。

さらに、第1図(j)に示すように、CVD法により膜厚5000~10000Å程度の酸化シリコン膜からなる層間絶縁膜32を堆積する。

この後、第1図(k)に示すように、通常のフォトリソ法により、コンタクト窓33を形成する。

そして最後に、第1図(l)に示すように、この上層にアルミニウム電極34を形成する。

このようにして形成された縦型MOSトランジスタにおいては、ソースとしてのn+領域30、pウェルコンタクトとしてのp+領域31のパターンは全て、ゲート電極23をマスクとして形成されているため、位置ずれを考慮して余裕をとる必要もなく、大幅な微細化が可能となる。

次に、本発明の第2の実施例として、ウェルコンタクト形成のためのイオン注入工程においても

斜めイオン注入法を適用した例について説明する。

前記第1の実施例と同様に、第1図(a)乃至第1図(e)に示す工程を実行し、 10^{13}cm^{-2} のボロンをイオン注入して熱処理を行い、この窓37を介して基板内にボロンを拡散し、pウェル24を形成する。

次に、ウェルコンタクトの形成を行なうに際し、第3図(a)および第3図(b)に示すように、pウェル24を形成したのと同じ拡散窓37よりさらに高濃度のボロンイオンを斜めイオン注入法を用いて注入する。このとき、ボロンイオン25を注入するイオン注入のイオンビーム25の基板に対する入射角度は、第2図に示したところの θ_2 よりも大きくかつ90度よりも小さい角度でイオン注入を行なう。

この角度でイオン注入を行なった場合、拡散窓底面全体に不純物イオンが注入されることになるが、ゲート電極の近傍においては拡散用窓の中心部分に比べて注入される不純物量を少なくすることができる。

- 11 -

続いて、前記第1の実施例と同様に、第3図(c)および第3図(d)に示すように、斜めイオン注入法によりリンあるいはヒ素等のn型不純物を注入し、ソース領域を形成するわけであるが、このとき、ウェルコンタクトの形成のためのイオン注入が、斜めイオン注入法を採用し、ゲート電極の近傍においては拡散用窓の中心部分に比べて不純物量を少なくしているため、ソース領域形成のための不純物イオン濃度を大きくしなくても良いという利点がある。

すなわち、前記第1の実施例の方法では、ウェルコンタクトの形成のためのイオン注入が拡散窓全体に一律に高濃度になされているため、ソース領域形成のためのイオン注入によってそれを打ち消すだけの不純物イオン濃度のイオン注入を行なわなければならないが、第2の実施例の方法を採用することにより、ソース領域形成のためのイオン注入の不純物濃度を小さくすることが可能となる。

〔発明の効果〕

- 12 -

以上説明してきたように、本発明方法によれば、ソース領域形成用の不純物注入におけるビームの基板に対する入射角度を、ウェル領域にコンタクトをとるための高濃度領域形成用の不純物注入におけるビームの基板に対する入射角度よりも小さくするようにしているため、ゲート電極の側近の領域にのみ選択的に不純物を注入することができ、パターンの合わせずれを考慮して余裕をとる必要がなくなり、小形でオン抵抗の小さい縦型MOSトランジスタを得ることが可能となる。

4. 図面の簡単な説明

第1図(a)乃至第1図(l)は本発明の第1の実施例の縦型MOSトランジスタの製造工程を示す図、第2図は斜めイオン注入の原理の説明図、第3図(a)乃至第3図(d)は本発明の第2の実施例の縦型MOSトランジスタの製造工程を示す図、第4図は従来例の縦型MOSトランジスタを示す図、第5図(a)乃至第5図(j)は同縦型MOSトランジスタの製造工程を示す図である。

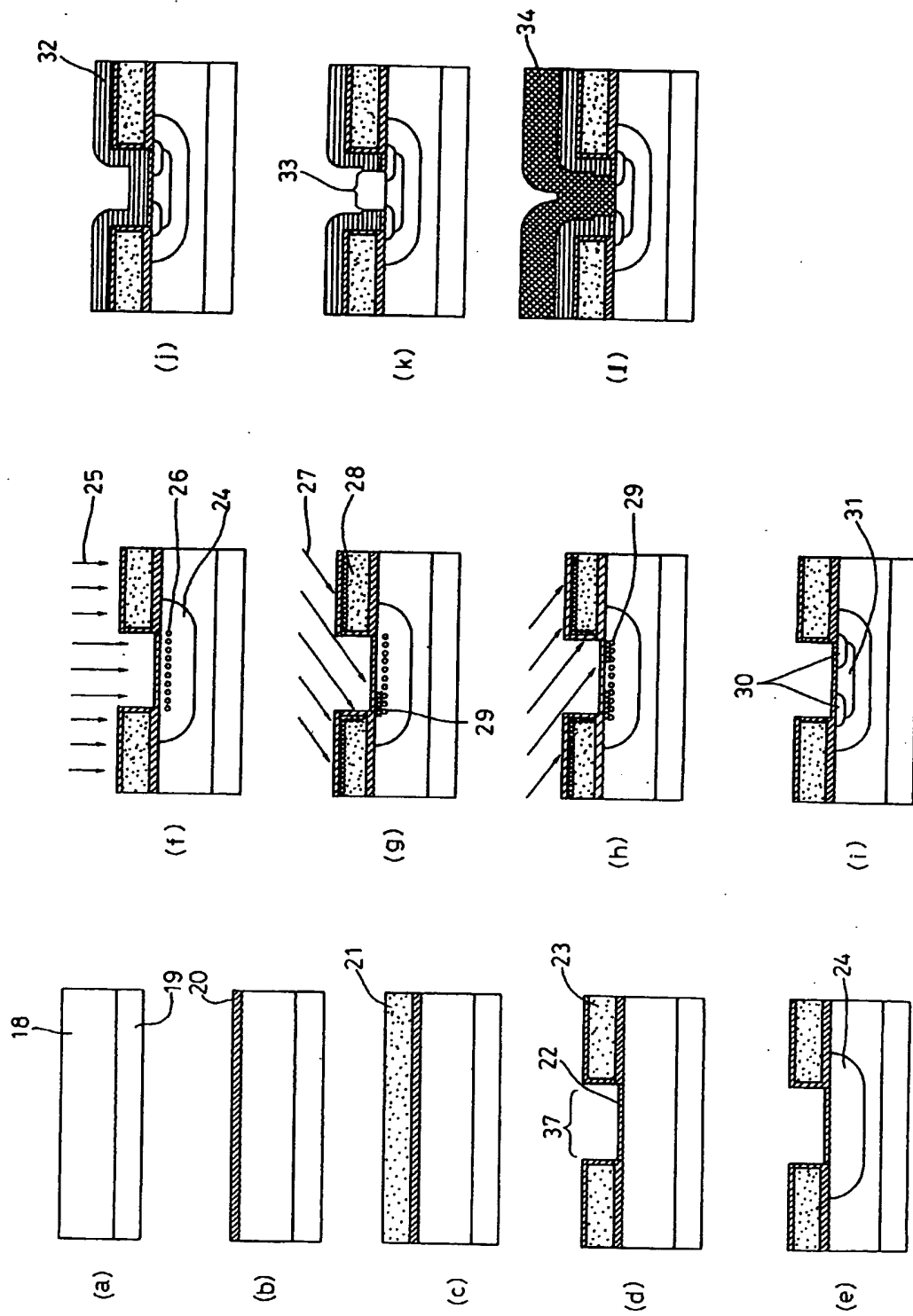
1…n型シリコン基板、2…n型エピタキシャ

- 13 -

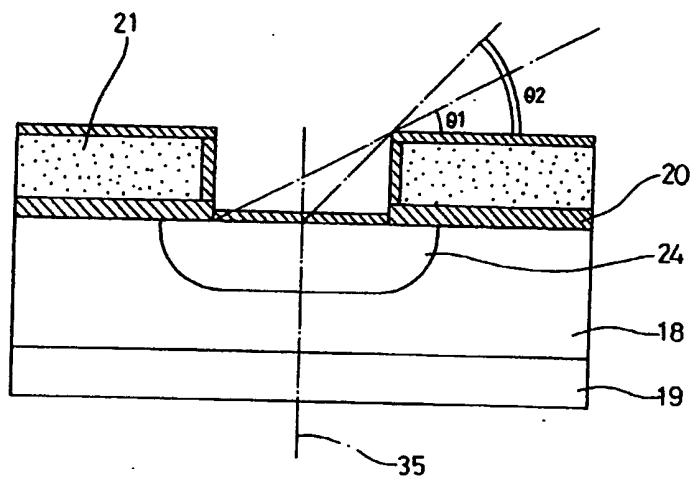
- 14 -

ル層、3…ゲート絶縁膜、4…ゲート電極、5…絶縁膜、6…拡散用窓、7…pウェル、8…リンイオン、9…レジストパターン、10…レジストパターン、12…n+領域(ソース領域)、13…p+領域、14…層間絶縁膜、15…コンタクト用窓、16…ソース電極配線層、17…n型シリコン基板、18…n型エピタキシャル層、19…半導体基板、20…ゲート絶縁膜、21…多結晶シリコン膜、22…絶縁膜、23…ゲート電極、24…pウェル、25…ボロンイオンビーム、26…ボロンイオン、27…イオンビーム、28、29…ヒ素イオン、30…ソース領域、31…ウェルコンタクト領域、32…絶縁膜、33…窓、34…アルミニウム配線、37…拡散用窓。

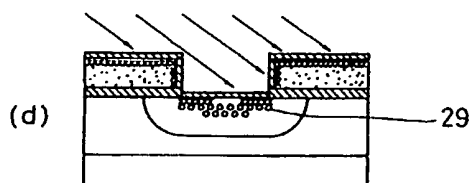
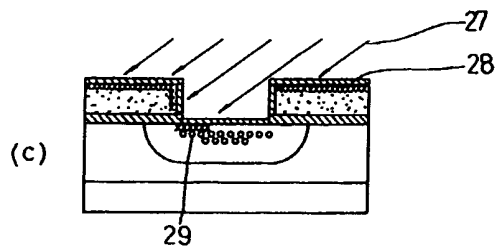
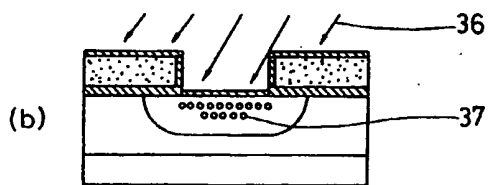
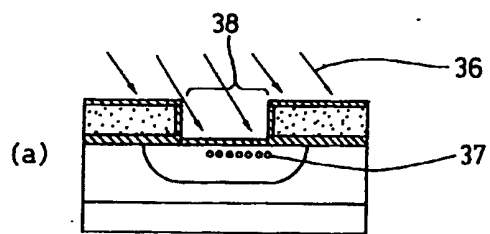
代理人 弁理士 三 好 秀 和



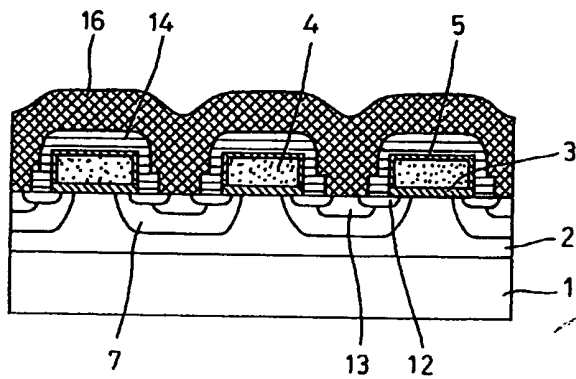
第 1 図



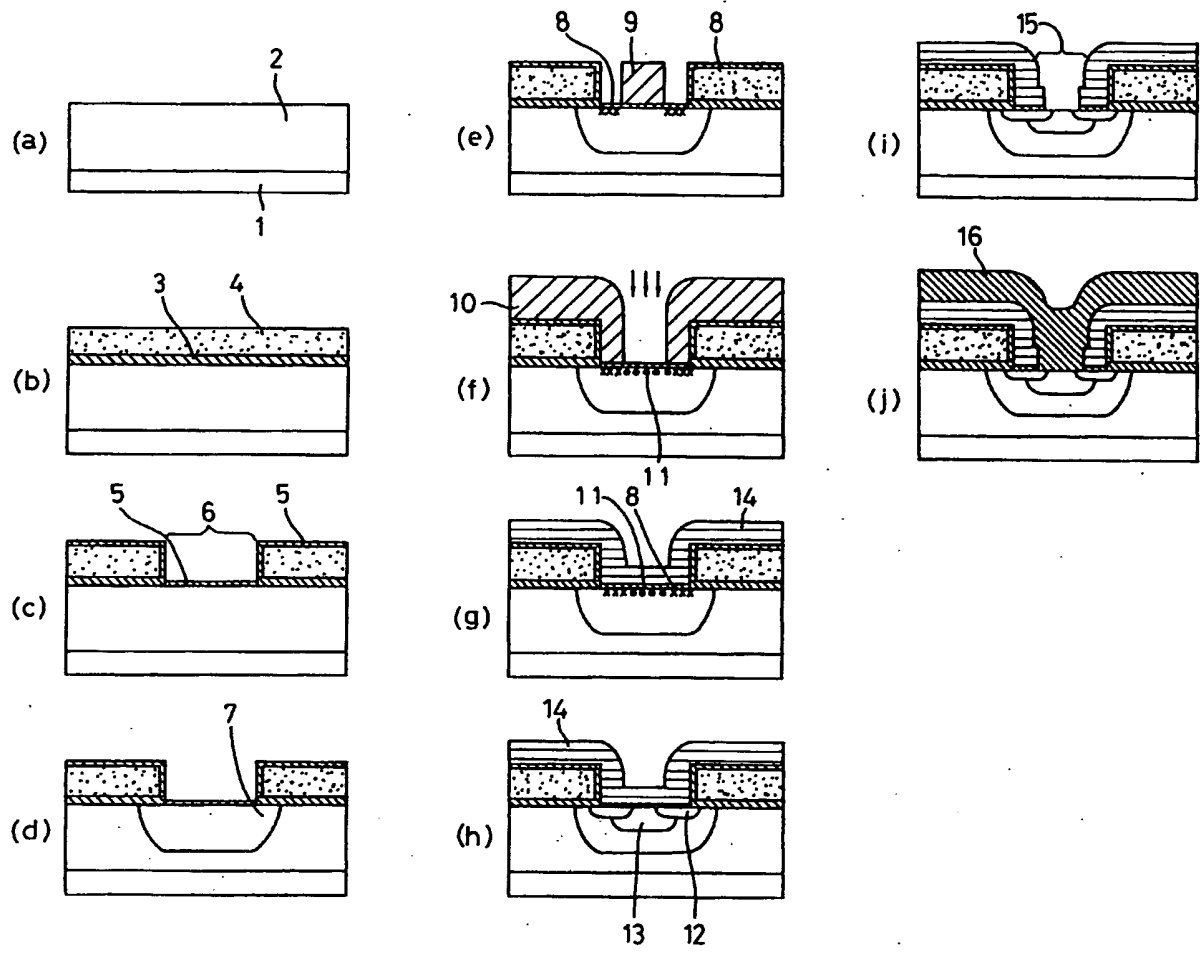
第 2 圖



第 3 圖



第 4 圖



第 5 図